

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03250316 A**

(43) Date of publication of application: **08.11.91**

(51) Int. Cl

G06F 1/12
H03K 5/00
H04L 7/00
H04N 5/073
// G06F 15/66

(21) Application number: **02048131**

(22) Date of filing: **28.02.90**

(71) Applicant: **DAINICHI:KK**

(72) Inventor: **SHOJI WATARU**
TABUCHI DAISUKE
NAKAJIMA ICHIRO

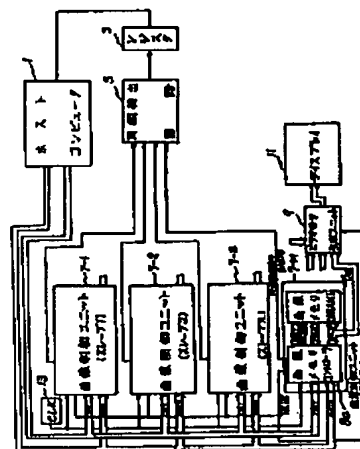
(54) **SYNCHRONISM ADJUSTER**

COPYRIGHT: (C)1991,JPO&Japlo

(57) Abstract:

PURPOSE: To automatically attain the adjustment of synchronism for a synchronism adjuster as a whole by securing a constitution where a synchronism detection means outputs a signal to show the synchronism secured among all timing signals, and a control means outputs again an initialization signal before outputting the preceding signal.

CONSTITUTION: The timing signals showing the working states of the signal processing units 7-1 - 7-M are produced from the supplied initialization signals and synchronism reference signals for each of units 7-1 - 7-M. A synchronism detection means 5 receives those timing signals and outputs a signal to show the detection of synchronism secured among all timing signals. A control means 1 controls the units 7-1 - 7-M and outputs again the initialization signals before the signal showing the detection of synchronism of timing signals is received from the means 5. In such constitution, the synchronism is automatically adjusted for a synchronism adjuster as a whole without requiring such tasks that need the large manhour and the high cost.



⑫ 公開特許公報(A)

平3-250316

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月8日

G 06 F 1/12
 H 03 K 5/00
 H 04 L 7/00
 H 04 N 5/073
 // G 06 F 15/66

B
 A
 J

7125-5J
 8949-5K
 9070-5C
 8420-5L
 7459-5B

G 06 F 1/04

3 4 0 Z

審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 同期調整装置

⑯ 特 願 平2-48131

⑰ 出 願 平2(1990)2月28日

⑱ 発 明 者 庄 司 渉 東京都渋谷区代々木1丁目35番7号 株式会社大日内
 ⑱ 発 明 者 田 渕 大 介 東京都渋谷区代々木1丁目35番7号 株式会社大日内
 ⑱ 発 明 者 中 島 一 郎 東京都渋谷区代々木1丁目35番7号 株式会社大日内
 ⑲ 出 願 人 株 式 会 社 大 日 東京都渋谷区代々木1丁目35番7号
 ⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外3名

明 細 書

1. 発明の名称

同期調整装置

2. 特許請求の範囲

供給された初期化信号によって初期状態とされる複数の信号処理ユニットを備え、これら複数の信号処理ユニットに対して供給される同一の同期基準信号に基づいて全ての信号処理ユニットが同期して動作すべく構成された同期調整装置において、

供給された初期化信号及び同期基準信号とから各々の信号処理ユニットの動作状態を示すタイミング信号を各々の信号処理ユニット毎に生成して出力するタイミング信号生成出力手段と、

前記タイミング信号生成出力手段から出力されるタイミング信号を受けて、すべてのタイミング信号が同期したことを検出したときに、同期を検出したことを示す信号を出力する同期検出手段と、

前記各々の信号処理ユニットを制御下に置き、前記同期を検出したことを示す信号が同期検出手段から出力されるまでの間、前記初期化信号を再度出力する制御手段と、

を備えたことを特徴とする同期調整装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は一般に同期調整装置に関し、特に複数の画像制御ユニットを備え、これらの画像制御ユニットのいずれか1つがマスターユニットで残りがスレーブユニットであるシステムにおいて、これら各ユニット間の同期をとる装置として、好適な同期調整装置に関する。本発明に係る同期調整装置は、又、複数のディジタル音声合成ユニットを備え、これらのディジタル音声合成ユニットのいずれか1つがマスターユニットで残りがスレーブユニットであるシステムにおいて、これら各ユニット間の同期をとる装置としても好適に用いられるものである。本発明に係る同期調整装置は、

更には複数のデータ通信端末ユニットを備え、これらのデータ通信端末ユニットのいずれか1つがマスターユニットで残りがスレーブユニットであるシステムにおいて、これらのデータ通信端末ユニット間の同期をとる装置等としても好適に用いられる。本明細書においては、説明の都合上、1つのマスター画像制御ユニットと複数のスレーブ画像制御ユニットとを備えたシステムにおいて、これら各ユニット間の同期をとる装置として好適な同期調整装置に関して記述することとする。

〔従来の技術〕

一般に、上述した複数の画像制御ユニットを備えたシステムの概要は、上記複数の画像制御ユニットを始め、ホストコンピュータ、入出力インターフェース部、表示部等を有する構成となっている。ホストコンピュータは、入出力インターフェース部を通して前記複数の画像制御ユニットを始め、表示部や他にシステムを構成している各種機器類に対してコントロール信号を出力することにより、システム全体をその制御下に置く。

コントローラから読出し要求のあった画像データを、画像情報として画像メモリコントローラに出力するようになっている。画像メモリコントローラは、前記システム内に設けられているクロックパルス生成回路から出力されるクロックパルスのタイミングで動作し、各種制御を実行する。画像メモリコントローラは、ホストコンピュータから入出力インターフェース部を通して与えられるコントロール信号に従って制御動作を実行する。即ち、ホストコンピュータから与えられるコントロール信号に基づいてホストコンピュータとの間において各種画像情報の授受を行ない、ホストコンピュータから与えられた画像情報については、画像データとして前記画像メモリ内の所定のアドレスに書き込む。一方、画像メモリ内の所定のアドレスに記憶されている画像データについては、画像情報として読出し、該読出した画像情報をホストコンピュータから与えられたコントロール信号に従って表示部に表示出力する。

ホストコンピュータは、又、入出力インターフェース部を通して前記各々の画像制御ユニットとの間で必要に応じて各種データの授受を行なう。入出力インターフェース部は、ホストコンピュータから出力されたコントロール信号を受けて、これらのコントロール信号を前記各々の画像制御ユニットや表示部等に対して夫々出力するとともに、前記各々の画像制御ユニットから出力された信号を受けて、これらの信号をホストコンピュータに対して出力するようになっている。

前述した各々の画像制御ユニット内部の回路構成は、それら全てが実質的に同一となっている。即ち、前記各々の画像制御ユニットは、画像メモリコントローラと、画像メモリとを備えている。画像メモリには、例えば画像データの記憶専用のダイナミックRAM（以下、「DRAM」と略称する）が用いられている。画像メモリは、画像メモリコントローラの制御下で、画像メモリコントローラから与えられた各種画像情報を画像データとして記憶、保持するとともに、画像メモリコン

〔発明が解決しようとする課題〕

ところで、上述したごとき構成の複数の画像制御ユニットを具備したシステムにあっては、以下に記載されるような手順を経ることによってマスターに指定されている画像制御ユニットとスレーブとされた残りの画像制御ユニットとのイニシャライズ（初期化）を行なっていた。即ち、ホストコンピュータは、まずマスター画像制御ユニットに対してイニシャライズ信号を出力し、次いでこのイニシャライズ信号の出力時点から所定のタイムラグを置いて残りのスレーブ画像制御ユニットに対して前記とは別のイニシャライズ信号を出力し、これによってデータ書き込み／読出しや初期データの設定等1秒間当たり15工程のイニシャライズが実行されていた。

そして、上記システム全体としての動作タイミングの同期調整は、これらのイニシャライズ信号がマスター画像制御ユニットと残りのスレーブ画像制御ユニットとに対して夫々出力された時点と、クロックパルス生成回路から各々の画像制御ユニ

ットに対して出力されるクロックパルス信号とを基準とすることによって、マスター画像制御ユニットと残りのスレーブ画像制御ユニットとの間の動作タイミングの同期がとられるようになっていた。

ところが、実際には上記構成のみでは、ホストコンピュータのバラツキや、ホストコンピュータとマスター画像制御ユニット、スレーブ画像制御ユニット間を接続するバスラインの長さのバラツキやその他の各種要因により、前記タイムラグが常時一定値となるとは限らない。そのため、前述したイニシャライズのみにおいて、マスター画像制御ユニットとスレーブ画像制御ユニットとの間の動作タイミングの同期をとることは容易でなかった。

そこで、従来、上記構成のシステムにおいては、以下に記載するような方法によって同期調整が行なわれていた。即ち、その1つは、予め上記システムを試験的に駆動することにより、他のスレーブユニットと同期のとれないユニットを見出して、

易でない。そのうえ、製品出荷時に、前記各スレーブユニットが略完全に同期がとれるように調整出来たにしても、前記システムが設置された環境によっては、他のスレーブユニットと同期のとれないスレーブユニットが現出するような不具合の生じることがあった。

他方において上記第2の方法を採用した場合にも、前記第1の方法を採用した場合と同様に、スレーブユニットとされた全ての画像制御ユニットに対して厳密な試験を実施したうえで、最もタイミングの遅れるスレーブユニットを見出すのは容易でなく、多くの工数を必要とする。そのうえ、最もタイミングの遅れるスレーブユニットに整合するように、各々タイミングの遅れの度合の異なるスレーブユニットと適合するディレイタイムを持つディレイラインを選定する作業も容易ではなく、やはり多くの工数を必要とする。更には、上記作業を経て前記各スレーブユニットが略完全に同期がとれるように調整出来たにしても、前記システムが設置された環境によっては、やはり他の

上記システムを製品として出荷する際に、この同期のとれないユニットに対して何らかの技術的対策を講ずることによってシステム全体としての同期を調整する方法である。又、別の1つは、やはり上記と同様にシステムを試験的に駆動して最もタイミングの遅れるスレーブユニットを見出し、この最もタイミングの遅れるスレーブユニットに他のスレーブユニットのタイミングを同期させるべく、前記クロックパルス生成回路の出力端子と前記他のスレーブユニットのクロックパルス入力端子との間をディレイラインによって接続することで、システム全体としての同期を調整する方法である。

しかしながら、上述した第1の方法を採用した場合には、スレーブユニットとされた全ての画像制御ユニットに対して厳密な試験を実施したうえで、同期のとれないユニットに対して他のスレーブユニットと略完全に同期がとれるように調整したり、他のスレーブユニットと略完全に同期がとれるようなデバイスを手当てするのは技術的に容

スレーブユニットと同期のとれないスレーブユニットが現出するような不具合の生じることがあった。

従って本発明は、上述した従来技術における不具合を解消するためになされたもので、その目的は、与えられた信号を受けてこれに所定の信号処理を施す複数個の信号処理ユニットを備え、これら複数個の信号処理ユニットの同期をとって駆動されるように構成された装置において、装置全体としての同期をとるために、特別な試験を実施することによって同期のとれない信号処理ユニットを見出して、この同期のとれない信号処理ユニットに対して何らかの技術的手段を講ずることによって装置全体として同期がとれるように調整したり、或いは、動作タイミングの最も遅い信号処理ユニットと動作タイミングを合わせるために、各々の信号処理ユニット毎に異なるディレイ時間を持ったディレイラインを接続する等の多大な工数と高コストを要する作業を必要とすることなく装置全体としての同期が自動的に調整可能な同期調

整装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために本発明は、

供給された初期化信号によって初期状態とされる複数の信号処理ユニットを備え、これら複数の信号処理ユニットに対して供給される同一の同期基準信号に基づいて全ての信号処理ユニットが同期して動作すべく構成された同期調整装置において、

供給された初期化信号及び同期基準信号とから各々の信号処理ユニットの動作状態を示すタイミング信号を各々の信号処理ユニット毎に生成して出力するタイミング信号生成出力手段と、

前記タイミング信号生成出力手段から出力されるタイミング信号を受けて、すべてのタイミング信号が同期したことを検出したときに、同期を検出したことを示す信号を出力する同期検出手段と、

前記各々の信号処理ユニットを制御下に置き、前記同期を検出したことを示す信号が同期検出手段から出力されるまでの間、前記初期化信号を再

出して、この同期のとれない信号処理ユニットに対して何らかの技術的手段を講ずることによってシステム全体として同期がとれるように調整したり、或いは、動作タイミングの最も遅い信号処理ユニットと動作タイミングを合わせるために、各々の信号処理ユニット毎に異なるディレイ時間を持ったディレイラインを接続する等の多大な工数と高コストを要する作業を必要とすることなく装置全体としての同期の自動的な調整が可能となった。

〔実施例〕

以下、図面により本発明の一実施例について説明する。

本発明に係る同期調整装置は、既に説明した内容から明らかなように、複数の画像制御ユニットを具備したシステム、複数のデジタル音声合成器ユニットを具備したシステム、複数のデータ通信端末ユニットを具備したシステム等において、夫々のユニット間の同期をとる装置として好適に用いられるものである。本明細書においては、複

度出力する制御手段と、を備えた構成とした。

〔作 用〕

上記構成において、タイミング信号生成出力手段は、供給された初期化信号及び同期基準信号とから各々の信号処理ユニットの動作状態を示すタイミング信号を各々の信号処理ユニット毎に生成して出力し、同期検出手段は、前記タイミング信号生成出力手段から出力されるタイミング信号を受けて、すべてのタイミング信号が同期したことを検出したときに、同期を検出したことを示す信号を出力し、制御手段は、各々の信号処理ユニットを制御下に置き、前記同期を検出したことを示す信号が同期検出手段から出力されるまでの間、前記初期化信号を再度出力するようにしたので、与えられた信号を受けてこれに所定の信号処理を施す複数の信号処理ユニットを備え、これら複数の信号処理ユニットの同期をとって駆動されるように構成された装置において、装置全体としての同期をとるために、特別な試験を実施することによって同期のとれない信号処理ユニットを見

数の画像制御ユニットを具備したシステムにおいて、夫々のユニット間の同期をとる装置として用いられる場合について説明することとするが、これは本発明に係る同期調整装置が該システムにのみ適用されることを意味するものではない。

第1図は、本発明の一実施例に従う同期調整装置の全体的な構成を示したブロック図である。本発明の一実施例に従う同期調整装置の概要は、第1図にて図示するように、ホストコンピュータ1を始め、レジスタ3、同期検出回路5、画像制御ユニット7-1, 7-2, …… 7-n, 7-M、ビデオ信号生成ユニット9、ディスプレイ11及びクロックパルス生成回路13等を具備した構成となっている。

上記構成について更に詳述すれば、以下のようである。即ち、本実施例においては、画像制御ユニット7-Mがマスター画像制御ユニットに指定されており、残りの画像制御ユニット7-1~7-nがスレーブ画像制御ユニットとなっている。ここで、マスター画像制御ユニット7-Mとスレ

ープ画像制御ユニット7-1~7-nとは、それぞれの内部回路構成が略同一であるので、以下、マスター画像制御ユニット7-Mの内部回路構成についてのみ説明し、残りのスレーブ画像制御ユニット7-1~7-nについての説明は省略する。

マスター画像制御ユニット7-Mは、画像メモリコントローラ8aと画像メモリ8bとを備えている。画像メモリ8bには、例えば画像データの記憶専用のDRAMが用いられている。画像メモリ8bは、画像メモリコントローラ8aの制御下で、画像メモリコントローラ8aからアドレス信号が与えられ、次いで $\overline{RAS}/\overline{CAS}$ 信号が与えられることによって、画像メモリコントローラ8aから与えられた画像情報を該画像メモリ8b内の所定番地に記憶する。画像メモリ8bは、又、画像メモリコントローラ8aからアドレス信号が与えられ、次いで $\overline{RAS}/\overline{CAS}$ 信号が与えられることによって、該画像メモリ8b内の所定番地に記憶している画像情報を画像メモリコントローラ8aやビデオ信号生成ユニット9に対して出力

nの画像メモリコントローラ（図示しない）と、ビデオ信号生成ユニット9とに対して夫々出力する。画像メモリコントローラ8aは、更に、前記HS/V S信号の立上りの時点を中心として、クロックパルスD1と同期させてクロックパルスD1と略同一のオンタイム幅を持ったディスプレイアドレスストロブ信号(DASTB)を内部同期信号として同期検出回路5に出力するようになっている。

スレーブ画像制御ユニット7-1~7-nの画像メモリコントローラ（図示しない）や画像メモリ（図示しない）は、夫々マスター画像制御ユニット7-Mの画像メモリコントローラ8aや画像メモリ8bと略同様な構成となっている。スレーブ画像制御ユニット7-1~7-nに内蔵されている各々の画像メモリコントローラ（図示しない）も、画像メモリコントローラ8aにおけると同様に、クロックパルス生成回路13から出力されるクロックパルスに基づいて定まるタイミングで動作する。これら各々の画像メモリコントローラは、

する。

画像メモリコントローラ8aは、クロックパルス生成回路13から出力されるクロックパルスに基づいて定まるタイミングで動作する。画像メモリコントローラ8aは、前述したように、画像メモリ8bを制御する。画像メモリコントローラ8aは、ホストコンピュータ1から例えば15工程から成る初期情報の書き込み工程（以下、「イニシャライズ」という）の書き込み処理における所定の1工程のライトイネーブル信号(\overline{WE} 信号：論理レベル“L”）の立上りに応答してクロックパルス生成回路13から出力される最初のクロックパルスをD1、次のクロックパルスをD2とし、以後のクロックパルスをD1、D2、D1、D2、……のように認識する。画像メモリコントローラ8aは、前記最初にD1と認識したクロックパルスがクロックパルス生成回路13から出力された時点と略同期して、論理レベル“H”の水平/垂直同期信号（以下、「HS/V S信号」と略称する）を、スレーブ画像制御ユニット7-1~7-

夫々のスレーブ画像制御ユニットの画像メモリを制御する。これら各々の画像メモリコントローラは、ホストコンピュータ1により上記イニシャライズ処理が実行されると、このイニシャライズ処理中の前記所定1工程中の \overline{WE} 信号の立上りに応答してクロックパルス生成回路13から出力される最初のクロックパルスをD1、次のクロックパルスをD2とし、以後のクロックパルスをD1、D2、D1、D2、……のように認識する。これら各々の画像メモリコントローラは、前記クロックパルスD1に同期させてこのクロックパルスD1と略同一のオンタイム幅を持ったディスプレイアドレスストロブ信号(DASTB)を生成し、該信号を内部同期信号として同期検出回路5に出力するようになっている。

クロックパルス生成回路13は、前述したマスター画像制御ユニット7-Mの画像メモリコントローラ8aを始め、スレーブ画像制御ユニット7-1~7-nの画像メモリコントローラに対して、夫々クロックパルスを生成して出力するよう

になっている。本実施例において、クロックパルス生成回路13から出力されるクロックパルスの周波数は、6 MHz/Sに設定されているが、クロックパルス生成回路13から出力されるクロックパルスの周波数は、6 MHz/Sにのみ限定されるものでないのは勿論である。

ビデオ信号生成ユニット9は、マスター画像制御ユニット7-Mの画像メモリコントローラ8aから出力されるHS/V S信号と、マスター画像制御ユニット7-Mから出力される画像データ信号、スレーブ画像制御ユニット7-1~7-Nから夫々出力される画像データ信号等に基づいてビデオ信号を生成し、該生成したビデオ信号をディスプレイ11に出力する。ディスプレイ11は、ビデオ信号生成ユニット9から出力されたビデオ信号に基づいて、前記各々の画像制御ユニット7-1~7-n, 7-Mから夫々出力された画像データから形成される1個の画像情報を表示する。

同期検出回路5は、前記マスター画像制御ユニット7-Mから出力されたディスプレイアドレス

ストローブ信号(DASTB)を始め、スレーブ画像制御ユニット7-1~7-nから夫々出力されたディスプレイアドレスストローブ信号(DASTB)を入力し、これら各々のディスプレイアドレスストローブ信号(DASTB)間で論理積演算を実行する。同期検出回路5は、前記各々の画像制御ユニット7-1~7-n, 7-Mを具備したシステムに対してスレーブの関係に立つ複数の画像制御ユニットを具備したシステムが接続されているときには、前記ディスプレイアドレスストローブ信号(DASTB)と前記スレーブユニット側から出力されたディスプレイアドレスストローブ信号(DASTB)との間において論理積演算を実行する。同期検出回路5は、前記ディスプレイアドレスストローブ信号(DASTB)の論理レベルがすべて“H”になったとき、即ち、前記すべてのディスプレイアドレスストローブ信号(DASTB)が同期したときには、これらすべてのディスプレイアドレスストローブ信号(DASTB)の同期を検出したこと

を示す信号として、論理レベル“H”のSYNC信号を出力する。本実施例においては、同期検出回路5において、各画像制御ユニット7-1~7-n, 7-M等から夫々出力されるディスプレイアドレスストローブ信号(DASTB)の同期を検出することとしたが、同期検出回路5が同期を検出する信号はディスプレイアドレスストローブ信号(DASTB)のみに限定されるものではなく、前述した各々の画像制御ユニット7-1~7-n, 7-Mの動作状態を示すタイミング信号であれば、どの信号でも差支えない。なお、同期検出回路5の内部の回路構成に関しては、第2図にて詳述する。

レジスタ3は、同期検出回路5から出力された信号を一時的に記憶し、ホストコンピュータ1からの読出し要求に応じて前記記憶していた信号をホストコンピュータ1に対して出力するようになっている。

ホストコンピュータ1は、前述した各々の画像制御ユニット7-1~7-n, 7-M等をその制

御下に置く。ホストコンピュータ1は、レジスタ3を通して同期検出回路5から論理レベル“H”のSYNC信号が出力されるまでの間、所定周期で前記各々の画像制御ユニット7-1~7-n, 7-Mに対して夫々所定のイニシャライズ処理を実行する。ホストコンピュータ1は、レジスタ3を通して同期検出回路5から論理レベル“H”のSYNC信号が出力された時点で、前記イニシャライズ信号の周期的な出力を停止し、これによって各画像制御ユニット7-1~7-n, 7-Mによる所定の画像データ処理動作のプロセスに移行することとなる。

前述したホストコンピュータ1から出力されるWE信号を始め、マスター画像制御ユニット7-Mから出力されるディスプレイアドレスストローブ信号(DASTB)、スレーブ画像制御ユニット7-1~7-nから出力されるディスプレイアドレスストローブ信号(DASTB)、クロックパルス生成回路13から出力されるクロックパルス信号及び同期検出回路5から出力される

S Y N C 信号の時間的な関係については、後に第3図(A)及び第3図(B)を用いて詳述する。

第2図は、前記第1図にて図示した同期検出回路5の内部の回路構成を示したブロック図である。第2図において、論理積演算回路5aは、前記各々の画像制御ユニット7-1~7-n, 7-M, スレーブ側のシステムの各画像制御ユニット(図示しない)から夫々出力されたディスプレイアドレスストローブ信号(D A S T B)の間の論理積をとる。論理積演算回路5aは、前記ディスプレイアドレスストローブ信号(D A S T B)の論理レベルがすべて“H”になったとき、即ち、前記ディスプレイアドレスストローブ信号

(D A S T B)が同期したときには、論理レベル“H”のストローブ信号S T Bを出力する。Dフリップフロップ5bは、そのセット端子Sには、常に論理レベル“H”の電圧信号が印加されているとともに、データ入力端子Dには、電源V c cから抵抗Rを通して常に論理レベル“H”の電圧信号が供給されている。Dフリップフロップ5b

端子Rには、ホストコンピュータ1からライトイネーブル信号($\overline{W E}$ 信号)が印加されるようになっている。Dフリップフロップ5bは、前記ホストコンピュータ1からライトイネーブル信号($\overline{W E}$ 信号)が印加される毎に、リセットされるようになっている。

第3図(A)及び第3図(B)は、夫々本発明の一実施例に従う同期調整装置を構成しているマスター画像制御ユニット7-Mから出力される内部同期信号(ディスプレイアドレスストローブ信号D A S T B)と、各々のスレーブ画像制御ユニット7-1~7-nから出力される内部同期信号(ディスプレイアドレスストローブ信号D A S T B)とが同期しないとき、及び同期しているときに同期検出回路5から出力される信号の論理レベルを示したタイミングチャートである。

まず最初に、第3図(A)のタイミングチャートを用いて、マスター画像制御ユニット7-Mから出力される内部同期信号(ディスプレイアドレスストローブ信号D A S T B)と、スレーブ画像制

は、そのクロックパルス入力端子C Pに対して前記論理積演算回路5aから論理レベル“H”のストローブ信号S T B(パルス信号)が入力されると、論理レベル“H”のS Y N C信号を出力端子Qから出力する。この論理レベル“H”のS Y N C信号は、ホストコンピュータ1によりイネーブル状態とされたスリーステートバッファ15を通してホストコンピュータ1に入力される。これによりホストコンピュータ1は、同期成立を認識して後続の処理に入る。ホストコンピュータ1は、上記論理レベル“H”のS Y N C信号が得られない場合には、同期不成立と認識して再度上記イニシャライズ処理を最初から実行し直す。

こうして論理レベル“H”のS Y N C信号が得られるまで、即ち、同期が成立するまで上記イニシャライズ処理が繰り返される。通常、上記装置においては、数度のイニシャライズ処理を繰り返すことによって同期成立が得られるものと思料される。更に前記Dフリップフロップ5bについて説明すれば、Dフリップフロップ5bのリセット

御ユニット7-1~7-nから出力される内部同期信号(ディスプレイアドレスストローブ信号D A S T B)とが同期しない場合について説明する。本実施例において、画像処理を開始するに当たり、まずホストコンピュータ1からマスター画像制御ユニット7-Mに対して例えば、15工程から成る所定の初期設定情報を寄込むためのイニシャライズ処理が実行される。このイニシャライズ処理における所定の1工程のライトイネーブル信号($\overline{W E}$ 信号)(第3図(A)(a)参照)の立上りに応答して、マスター画像制御ユニット7-Mの画像メモリコントローラ8aは、クロックパルス生成回路13から出力された最初のクロックパルス信号をD1と認識するとともに、この最初のクロックパルス信号D1と続く次のクロックパルス信号をD2と認識する。そして、以後に出力されるクロックパルス信号をD1, D2, D1, D2, ……のように認識する(第3図(A)(c)参照)。又、前記 $\overline{W E}$ 信号の立上りを認識した時点t1の直後に、最初にD1と認識したクロック

パルス信号が立上った時点と略同期してHS/V S信号の論理レベルを“H”とし、この論理レベル“H”のHS/V S信号をビデオ信号生成ユニット9を始めスレーブ画像制御ユニット7-1~7-nの各画像メモリコントローラ(図示しない)に対して夫々出力する(第3図(A)(d))。更に、画像メモリコントローラ8aは、前記HS/V S信号の立上り時と前記最初にD1と認識したクロックパルス信号の立上り時とを起点として、前記クロックパルス信号D1に同期させてこのクロックパルス信号D1と略同一のオンタイム幅を持つ内部同期信号(ディスプレイアドレスストロブ信号DASTB)を生成して同期検出回路5に出力する(第3図(A)(e))。この内部同期信号としてのディスプレイアドレス信号(DASTB)は、画像メモリコントローラ8aから同期検出回路5に対して連続的に出力される。ここで、クロックパルス生成回路13から出力されるクロックパルス信号の周波数を6MHz/Sとすれば、画像メモリコントローラ8aから同

て前記クロックパルス信号D1の立上りに同期した内部同期信号(ディスプレイアドレスストロブ信号DASTB)を夫々生成する(第3図(A)(g)参照)。上記内部同期信号は、これら各々の画像メモリコントローラ(図示しない)から同期検出回路5に対して連続的に出力される。ここで、クロックパルス生成回路13から出力されるクロックパルス信号の周波数を6MHz/Sとすれば、前記と同様に各々の画像メモリコントローラ(図示しない)から同期検出回路5に対して出力される内部同期信号(ディスプレイアドレスストロブ信号DASTB)の周波数は、3MHz/Sとなる。

第3図(A)(e)と、第3図(A)(g)とを参照して明らかなように、マスター画像制御ユニット7-Mから同期検出回路5に出力される内部同期信号(ディスプレイアドレスストロブ信号DASTB)と、スレーブ画像制御ユニット7-1~7-nから夫々同期検出回路5に出力される内部同期信号(ディスプレイアドレスストロブ信号DASTB)とは同期しない。従って、同

期検出回路5に対して出力される内部同期信号(ディスプレイアドレスストロブ信号DASTB)の周波数は、3MHz/Sとなる。

次にスレーブ画像制御ユニット7-1~7-nに対するイニシャライズ処理が行なわれ、その中の所定の1工程のライトイネーブル信号(W $\overline{\text{E}}$ 信号)(第3図(A)(b)参照)の立上り(t2)にตอบสนองして前記スレーブ画像制御ユニット7-1~7-nは、クロックパルス生成回路13から出力された最初のクロックパルス信号をD1と認識するとともに、この最初のクロックパルス信号D1と続く次のクロックパルス信号をD2と認識する。そして、以後に出力されるクロックパルス信号をD1, D2, D1, D2, ……のように認識する(第3図(A)(f)参照)。又、前記スレーブ画像制御ユニット7-1~7-nの画像メモリコントローラ(図示しない)は、前記マスター画像制御ユニット7-Mの画像メモリコントローラ8aから既に出力されているHS/V S信号の論理レベル“H”区間(水平走査期間)におい

期検出回路5から出力されるSYNC信号の論理レベルは、第3図(A)(h)にて示すように、“L”のみである。

次に、第3図(B)のタイミングチャートを用いて、マスター画像制御ユニット7-Mから出力される内部同期信号(ディスプレイアドレスストロブ信号DASTB)と、スレーブ画像制御ユニット7-1~7-nから出力される内部同期信号(ディスプレイアドレスストロブ信号DASTB)とが同期している場合について説明する。本実施例において、画像処理を開始するに当たりホストコンピュータ1により、まずマスター画像制御ユニット7-Mに対して例えば、15工程から成る所定の初期設定情報を書込むためのイニシャライズ処理が実行される。このイニシャライズ処理における所定の1工程のライトイネーブル信号(W $\overline{\text{E}}$ 信号)(第3図(B)(a)参照)の立上りにตอบสนองしてマスター画像制御ユニット7-Mの画像メモリコントローラ8aは、クロックパルス生成回路13から出力された最初の

クロックパルス信号をD1と認識する。これとともに、この最初のクロックパルス信号D1と続く次のクロックパルス信号をD2と認識する。そして、以後に出力されるクロックパルス信号をD1、D2、D1、D2、……のように認識する(第3図(A)(c)参照)。

又、前記ライトイネーブル信号(\overline{WE} 信号)の立上りを認識した時点t3の直後に、最初にD1と認識したクロックパルス信号が立上った時点と略同期してHS/V S信号の論理レベルを“H”とし、この論理レベル“H”のHS/V S信号をビデオ信号生成ユニット9を始めスレーブ画像制御ユニット7-1~7-nの各画像メモリコントローラ(図示しない)に対して夫々出力する(第3図(d))。更に、画像メモリコントローラ8aは、前記HS/V S信号の立上り時と前記最初にD1と認識したクロックパルス信号の立上り時とを起点として、前記クロックパルス信号D1に同期させてこのクロックパルス信号のD1と略同一のオンタイム幅を持つ内部同期信号(ディスプ

D2と認識する。そして、以後に出力されるクロックパルス信号をD1、D2、D1、D2、……のように認識する(第3図(B)(f))。又、前記スレーブ画像制御ユニット7-1~7-nの画像メモリコントローラ(図示しない)は、前記マスター画像制御ユニット7-Mの画像メモリコントローラ8aから既に出力されているHS/V S信号の論理レベル“H”区間(水平走査区間)においてクロックパルスD1に同期した内部同期信号(ディスプレイアドレスストロープ信号DASTB)を夫々生成する(第3図(B)(g))。上記内部同期信号は、これら各々の画像メモリコントローラ(図示しない)から同期検出回路5に対して連続的に出力される。ここで、クロックパルス生成回路13から出力されるクロックパルス信号の周波数を6MHz/Sとすれば、前記と同様に各々の画像メモリコントローラ(図示しない)から同期検出回路5に対して出力される内部同期信号(ディスプレイアドレスストロープ信号DASTB)の周波数は、3MHz/Sとなる。

レイアドレスストロープ信号)を生成して同期検出回路5に出力する(第3図(B)(e))。このディスプレイアドレス信号DASTBは、画像メモリコントローラ8aから同期検出回路5に対して連続的に出力される。ここで、クロックパルス生成回路13から出力されるクロックパルス信号の周波数を6MHz/Sとすれば、画像メモリコントローラ8aから同期検出回路5に対して出力される内部同期信号(ディスプレイアドレスストロープ信号DASTB)の周波数は、前記と同様に3MHz/Sとなる。

次にスレーブ画像制御ユニット7-1~7-nに対してイニシャライズ処理が行なわれ、その中の所定工程中の1工程中のライトイネーブル信号(\overline{WE} 信号)(第3図(B)(b)参照)の立上り(t2)にตอบสนองして前記スレーブ画像制御ユニット7-1~7-nは、クロックパルス生成回路13から出力された最初のクロックパルス信号をD1と認識するとともに、この最初のクロックパルス信号D1と続く次のクロックパルス信号を

第3図(B)(e)と、第3図(B)(g)とを参照して明らかなように、マスター画像制御ユニット7-Mから同期検出回路5に出力される内部同期信号(ディスプレイアドレスストロープ信号DASTB)と、スレーブ画像制御ユニット7-1~7-nから夫々同期検出回路5に出力される内部同期信号(ディスプレイアドレスストロープ信号DASTB)と時刻t5において同期することとなる。従って、同期検出回路5から出力されるSYNC信号の論理レベルは、第3図(B)(h)にて示すように、前記時刻t5において論理レベルが“L”から“H”となることとなる。
〔発明の効果〕

以上説明したように、本発明によれば、タイミング信号生成出力手段は、供給された初期化信号及び同期基準信号とから各々の信号処理ユニットの動作状態を示すタイミング信号を各々の信号処理ユニット毎に生成して出力し、同期検出手段は、前記タイミング信号生成出力手段から出力されるタイミング信号を受けて、すべてのタイミング信

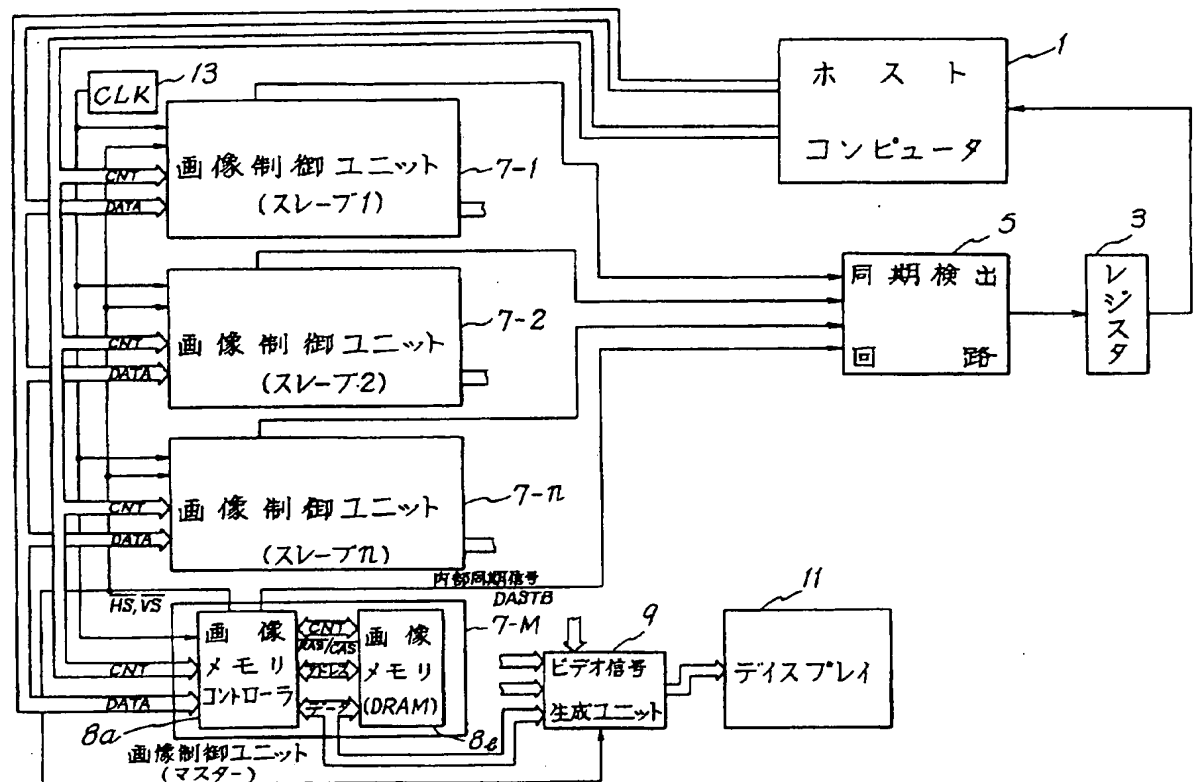
号が同期したことを検出したときに、同期を検出したことを示す信号を出力し、制御手段は、各々の信号処理ユニットを制御下に置き、前記同期を検出したことを示す信号が同期検出手段から出力されるまでの間、前記初期化信号を再度出力するようにしたので、与えられた信号を受けてこれに所定の信号処理施す複数個の信号処理ユニットの同期をとって駆動されるように構成された装置において、装置全体としての同期をとるために、特別な試験を実施することによって同期のとれない信号処理ユニットを見出して、この同期のとれない信号処理ユニットに対して何らかの技術的手段を講ずることによって装置全体として同期がとれるように調整したり、或いは、動作タイミングの最も遅い信号処理ユニットと動作タイミングを合わせるために、各々の信号処理ユニット毎に異なるディレイ時間を持ったディレイラインを接続する等の多大な工数と高コストを要する作業を必要とすることなく装置全体としての同期が自動的に調整可能な同期調整装置を提供することができる。

4. 図面の簡単な説明

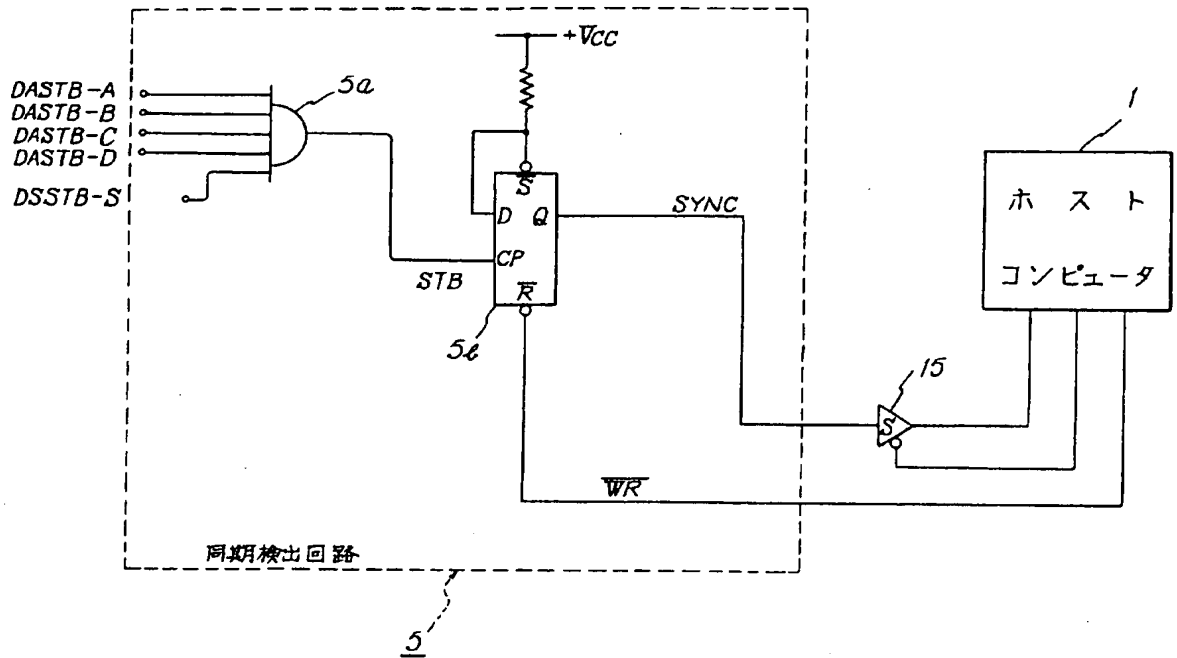
第1図は、本発明の一実施例に従う同期調整装置の全体的な構成を示したブロック図、第2図は、前記第1図にて図示した同期検出回路の内部の回路構成を示したブロック図、第3図(A)、(B)は、夫々本発明の一実施例に従う同期調整装置を構成しているマスター画像制御ユニットから出力される内部同期信号(ディスプレイアドレスストロープ信号DASTB)と各々のスレーブ画像制御ユニットから出力される内部同期信号(ディスプレイアドレスストロープ信号DASTB)とが同期しないとき及び同期しているときに同期検出回路から出力される信号の論理レベルを示したタイミングチャートである。

1…ホストコンピュータ、5…同期検出回路、7-1～7-n…スレーブ画像制御ユニット、7-M…マスター画像制御ユニット、13…クロックパルス生成回路。

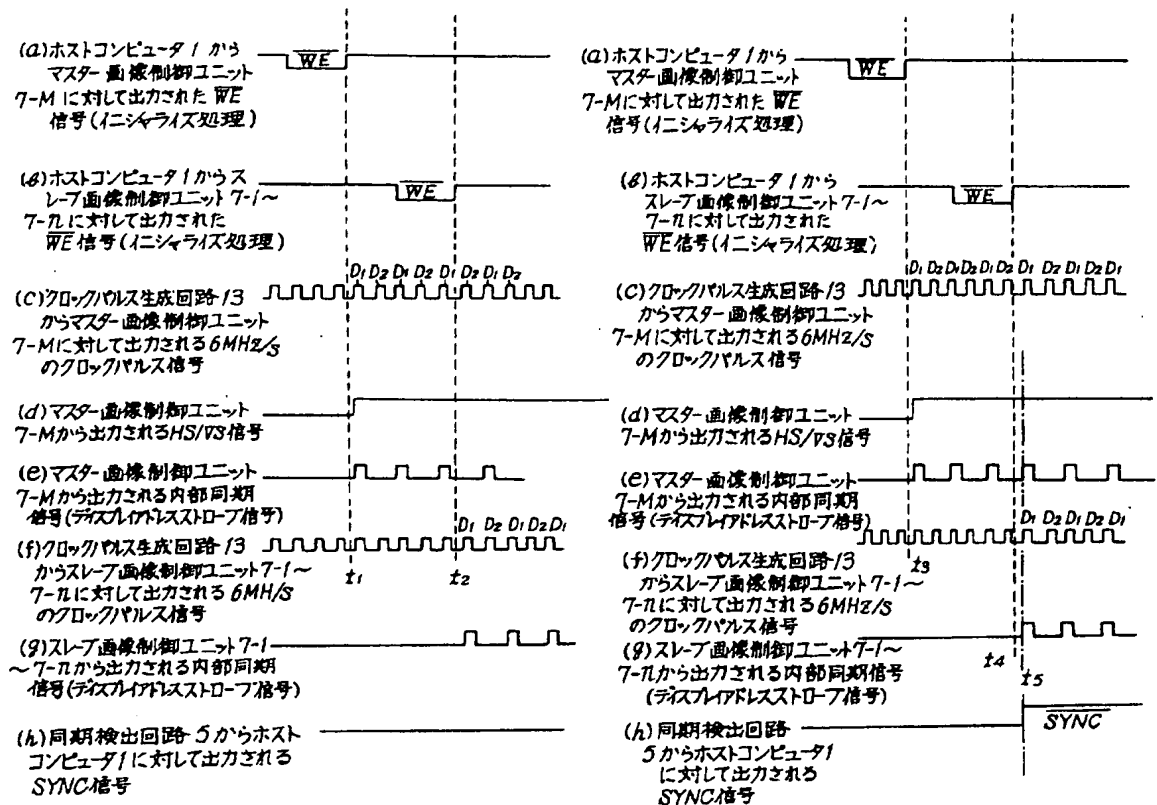
出願人代理人 佐 藤 一 雄



第 1 図



第 2 図



第 3 図(A)

第 3 図(B)